

Examen : Electronique Numérique Avancée : FPGA + VHDL

**Exercice 1** : Réaliser les deux fonctions suivantes avec un circuit PAL qui possède 3 variables d'entrées, et deux termes OU avec chaque terme OU comporte 4 termes ET ?

$$F_1(a, b, c) = a.b.c + a\bar{b}.\bar{c} + \bar{a}.\bar{b}$$
$$F_2(a, b, c) = a.b.c + \bar{a}.\bar{b}.\bar{c}$$

**Exercice 2** : Réaliser un additionneur complet avec un PAL ?

**Exercice 3** :

Soit le code VHDL suivant :

```
library IEEE;
use IEEE.std_logic_1164.all;
entity exo_1 is
port (A, B, C : in std_logic;
Q1, Q2 : out std_logic);
end exo_1;
architecture synth of exo_1 is
signal V, R : std_logic;
begin
• process (V, C) - - Bascule D Latch
begin
if (V='1') then
Q2 <= C;
end if;
• end process;
R <= B xor C;
• process (A) - - 2 Bascules D Flip Flop
begin
if (A'event and A='1') then
Q1 <= C;
V <= R;
end if;
• end process;
end synth;
```

- Dessiner le système représenté par ce code.
- Compléter le diagramme des temps de la figure 1.

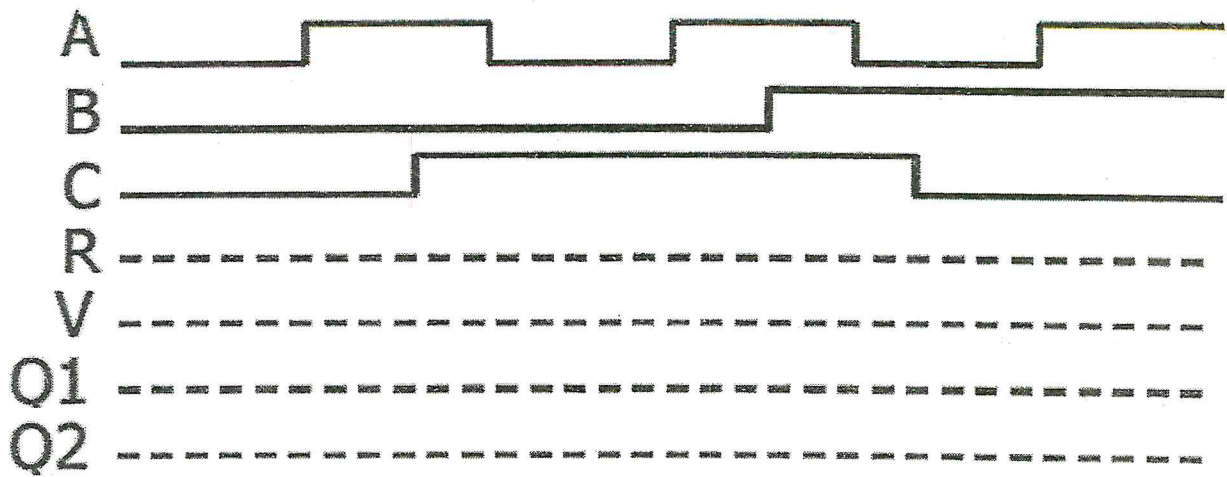
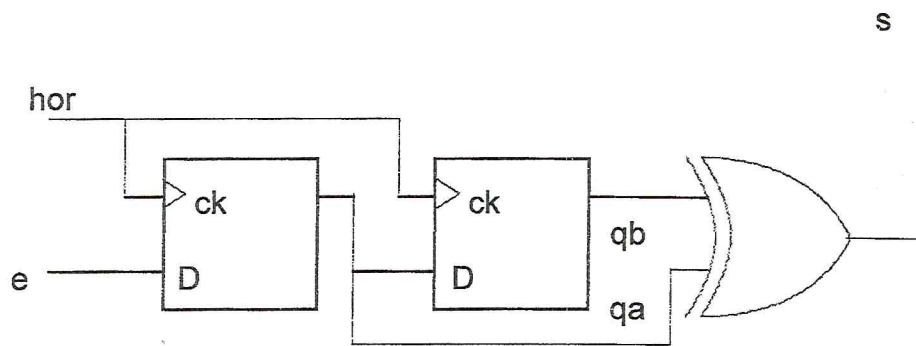


Figure 1

**Exercice 4 :**

Ecrire le code VHDL structurel du circuit suivant :



# Corrigé type EMD

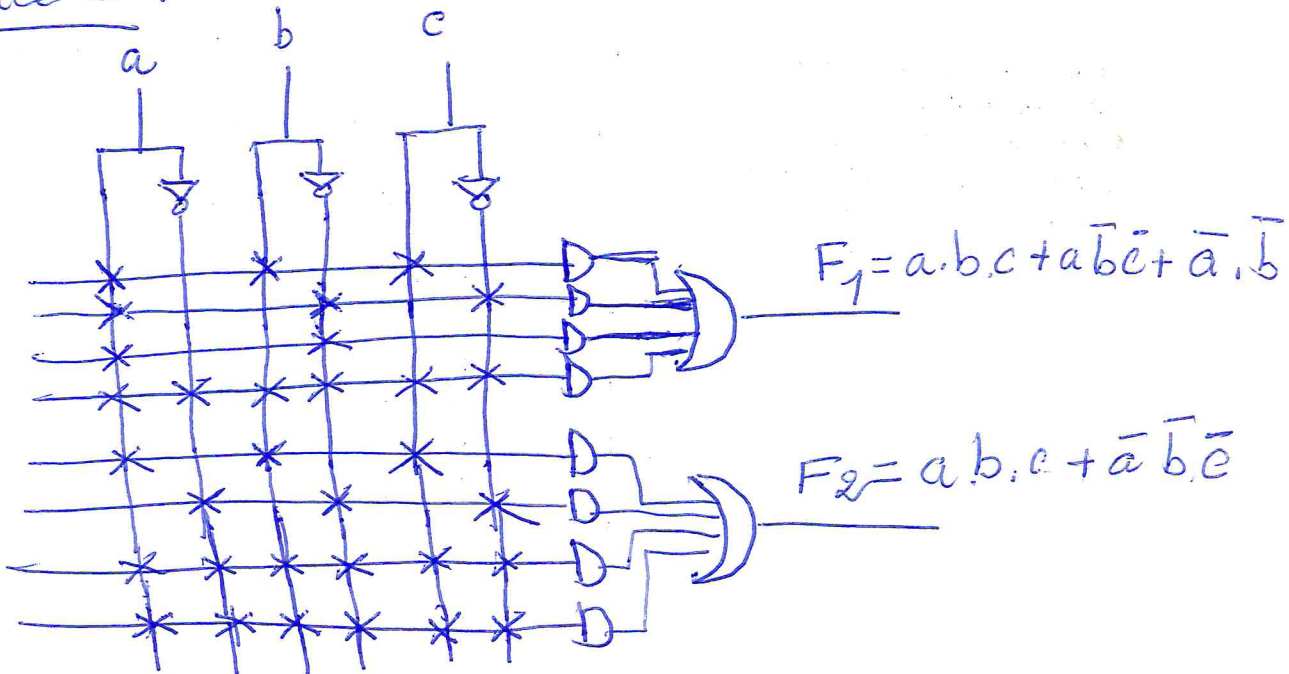
1

Electronique Numérique Avancée; FPGA+VHDL

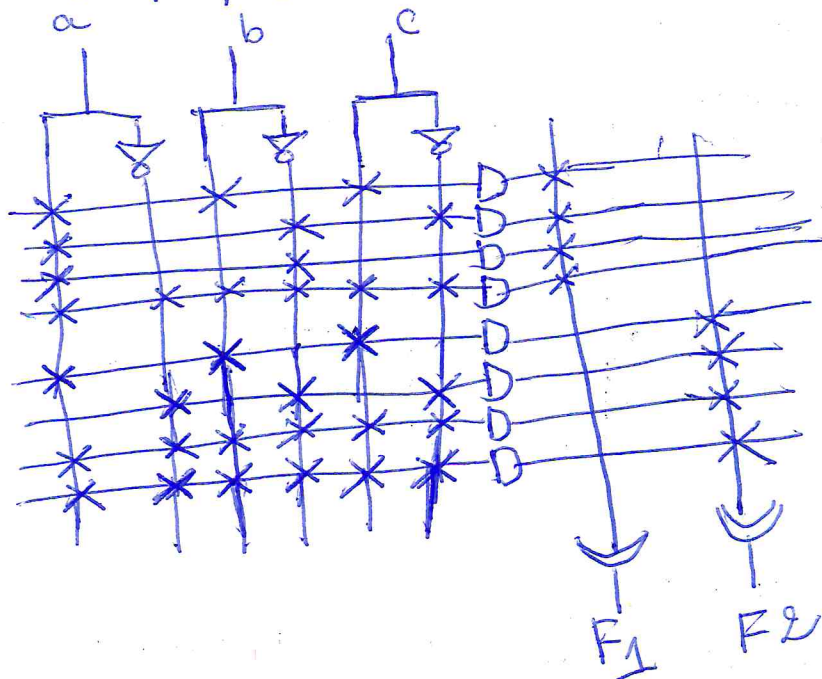
Master 1 ESEM + STLC

Exercice 1 :

A)



ou  
B)



# Exercice 2 : Additionneur Complet.

(2)

1) Table de vérité :

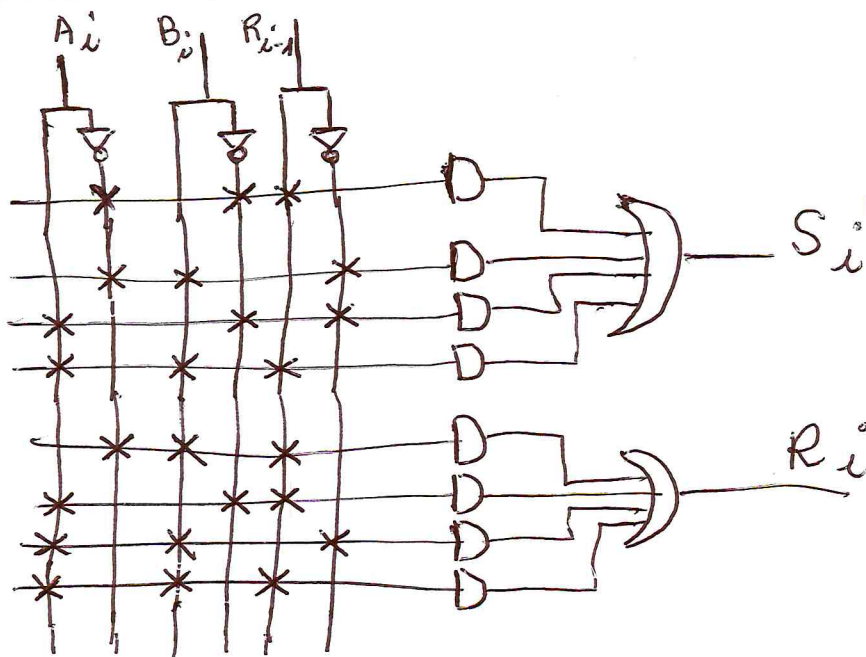
$A_i$	$B_i$	$R_{i-1}$	$S_i$	$R_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

2) Equations logiques

$$S_i = \bar{A}_i \bar{B}_i R_{i-1} + \bar{A}_i B_i \bar{R}_{i-1} + A_i \bar{B}_i \bar{R}_{i-1} + A_i B_i R_{i-1}$$

$$R_i = \bar{A}_i B_i R_{i-1} + A_i \bar{B}_i R_{i-1} + A_i B_i \bar{R}_{i-1} + A_i B_i R_{i-1}$$

3) Circuit PAL



### Exercice 3 :

(3)

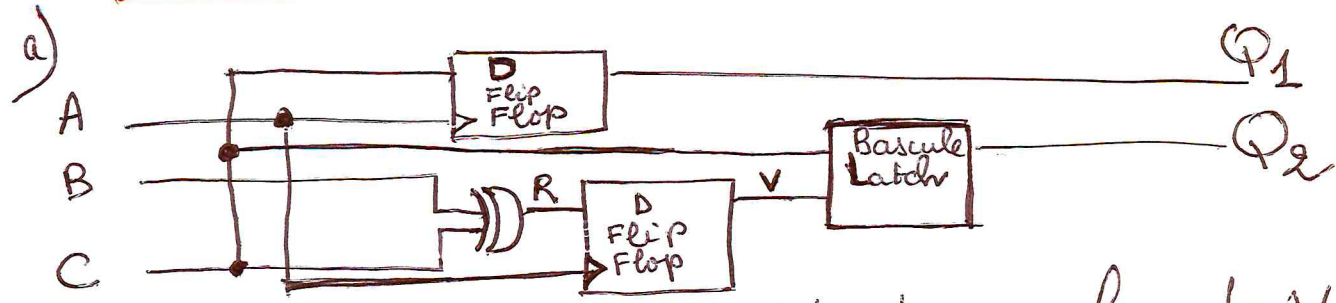
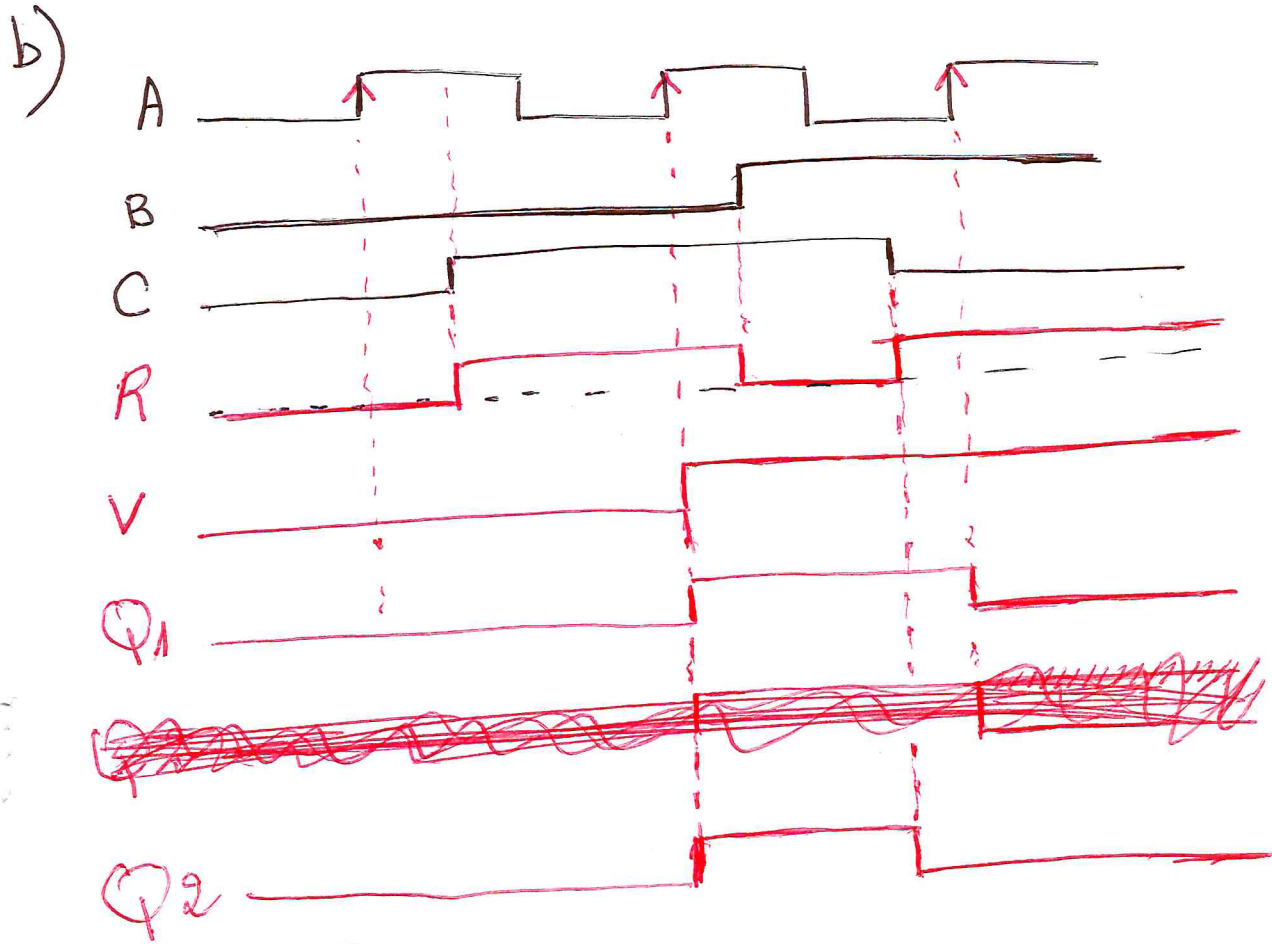


schéma du système décrit par le code V.H.D.L



### Exercice 4

#### Fichier 1

```

Entity Base_D is
  port ( D, CK : in std_logic;
        Q : out std_logic);
end Base_D;
    
```

#### Fichier 2

```

Entity XOR_2 is
  port ( A, B : in std_logic;
        S : out std_logic);
end XOR_2;
    
```

## Fichier 4

4

Library ieee;

use ieee.std\_logic\_1164.all;

Entity EX04 is

port ( hor, e : in std\_logic;

S : out std\_logic);

end EX04;

Architecture Arch of EX04 is

Component Base\_D

port ( D, ck : in std\_logic;

Q : out std\_logic);

end Component;

Component XOR\_2

port ( A, B : in std\_logic;

S : out std\_logic);

signal qa, qb : std\_logic;

begin

U1 : Base\_d port map (e, hor, qa);

U2 : Base\_d port map (qa, hor, qb);

U3 : XOR\_2 port map (qa, qb, S);

end Arch;