Universté M'hamed Boudhiaf M'sila
Faculté de Technologie
Département Electronique

Master 1 Instrumentation Le 13/10/2020

Examen du module : Electronique Numérique Avancée

Durée 01 heure. Répondre sur la feuille d'examen

Cochez la bonne réponse:

1. Les fonctions logiques programmables sont des circuits disposant des entrées et des sorties dont l'utilisateur peut programmer le schéma logique d'après les besoins liées à la fonction souhaitée Logique combinatoire et/ou séquentielle. Ces composants sont appelés des :
   PLC (Programmable Logic Controller) ☐ PLD (Programmable LogicDevice) ☐
   CLP (Circuits Logiques Programmables ☐ VLSI C (Very LargeScaleIntegrated Circuits) ☐

2. Les mémoires de type PROM (*programmable memory*) sont programmables :

   Plusieurs fois ☐ Une seule fois ☐ Programmable par le constructeur ☐

3. Les Les mémoires de type EEPROM (*electricaly erasable programmable memory*) sont programmables :

   Plusieurs fois ☐ Une seule fois ☐ Programmable par le constructeur ☐

4. Les mémoires de type PROM (*programmable memory*) sont considérés comme

   Un réseau ET et OU programmables ☐ Un réseau OU programmable seul ☐
   Un réseau ET programmable seul ☐

5. Les PAL (Programmable Array Logic) sont constitués de :

   Un réseau ET et OU programmables ☐ Un réseau OU programmable seul ☐
   Un réseau ET programmable seul ☐

6. Les PLA (Programmable Array Logic) sont constitués de :

   Un réseau ET et OU programmables ☐ Un réseau OU programmable seul ☐
   Un réseau ET programmable seul ☐

7. Le circuit PAL 16L8 possédant 20 broches est :

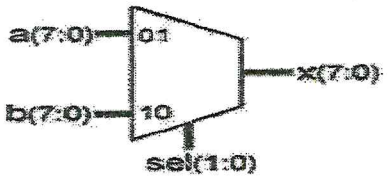
   Un circuit à registres et 16 broches d'entrées ☐

Un circuit combinatoire à 8 broches configurables uniquement en sortie ☐
Un circuit combinatoire à 2 broches configurables uniquement en sortie ☐
Un circuit combinatoire à 10 broches configurables uniquement en entrée ☐

8. Un circuit FPGA (Field Programmable GateArray) est composé de :

CLBs(Configurable Logic Bloc) et d'Interconnexions Programmables ☐
Matrices ET et OU Programmables ☐
CLBs et d'une matrice de switch centrale programmable ☐
Réseau de PAL ou GAL d'une matrice de switch centrale programmable ☐

Exercice Soit le circuit multiplexeur et le tableau décrivant son fonctionnement ci-dessous :



sel	x
"00"	"00000000"
"01"	a
"10"	b
"11"	"ZZZZZZZZ"

Compléter le programme VHDL suivant décrivant ce circuit :

```
 1  ------------------------------------------------------------
 2  LIBRARY ieee;
 3  USE ________________________________;
 4  ------------------------------------------------------------
 5  ENTITY mux IS
 6     PORT (____, ____: ____ STD_LOGIC_VECTOR(7 DOWNTO 0);
 7           sel: IN ____________________________________;
 8           ____: OUT STD_LOGIC_VECTOR(__ DOWNTO 0));
 9  END ______;
10  ------------------------------------------------------------
11  ARCHITECTURE example OF ______ IS
12  BEGIN
13     PROCESS (a, b, _____)
14     BEGIN
15        IF (sel="00") THEN
16           x <= "00000000";
17        ELSIF (____________) THEN
19           x <= a;
20        _______ (sel="10") THEN
21           x <= ___;
22        ELSE
23           x <= "______________";
24        END ____;
25     END ____________;
26  END ____________;
27  ------------------------------------------------------------
```

Universté M'hamed Boudhiaf M'sila
Faculté de Technologie
Département Electronique

Master 1 Instrumentation Le 13/10/2020

Examen du module : Electronique Numérique Avancée

Corrigé Durée 01 heure. Répondre sur la feuille d'examen

Cochez la bonne réponse:

1. Les fonctions logiques programmables sont des circuits disposant des entrées et des sorties dont l'utilisateur peut programmer le schéma logique d'après les besoins liées à la fonction souhaitée Logique combinatoire et/ou séquentielle. Ces composants sont appelés des :

   PLC (Programmable Logic Controller) ☐ PLD (Programmable LogicDevice) ☒
   CLP (Circuits Logiques Programmables ☒ VLSI C (Very LargeScaleIntegrated Circuits) ☐

2. Les mémoires de type PROM (*programmable memory*) sont programmables :

   Plusieurs fois ☐ Une seule fois ☒ Programmable par le constructeur ☐

3. Les Les mémoires de type EEPROM (*electricaly erasable programmable memory*) sont programmables :

   Plusieurs fois ☒ Une seule fois ☐ Programmable par le constructeur ☐

4. Les mémoires de type PROM (*programmable memory*) sont considérés comme

   Un réseau ET et OU programmables ☐ Un réseau OU programmable seul ☒
   Un réseau ET programmable seul ☐

5. Les PAL (Programmable Array Logic) sont constitués de :

   Un réseau ET et OU programmables ☐ Un réseau OU programmable seul ☐
   Un réseau ET programmable seul ☒

6. Les PLA (Programmable Array Logic) sont constitués de :

   Un réseau ET et OU programmables ☒ Un réseau OU programmable seul ☐
   Un réseau ET programmable seul ☐

7. Le circuit PAL 16L8 possédant 20 broches est :

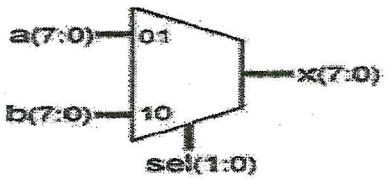
   Un circuit à registres et 16 broches d'entrées ☒

Un circuit combinatoire à 8 broches configurables uniquement en sortie ☐
Un circuit combinatoire à 2 broches configurables uniquement en sortie ☒
Un circuit combinatoire à 10 broches configurables uniquement en entrée ☒

8. Un circuit FPGA (Field Programmable GateArray) est composé de :

CLBs(Configurable Logic Bloc) et d'Interconnexions Programmables ☒
Matrices ET et OU Programmables ☐
CLBs et d'une matrice de switch centrale programmable ☐
Réseau de PAL ou GAL d'une matrice de switch centrale programmable ☐

Exercice Soit le circuit multiplexeur et le tableau décrivant son fonctionnement ci-dessous :



sel	x
"00"	"00000000"
"01"	a
"10"	b
"11"	"ZZZZZZZZ"

Compléter le programme VHDL suivant décrivant ce circuit :

```
1   ----------------------------------------------------------
2   LIBRARY ieee;
3   USE ieee.std_logic_1164.all;
4   ----------------------------------------------------------
5   ENTITY mux IS
6      PORT (a, b : in STD_LOGIC_VECTOR(7 DOWNTO 0);
7            sel: IN std_logic_vector (1DOWNTO 0;
8            X : OUT STD_LOGIC_VECTOR(7 DOWNTO 0));
9   END mux;
10  ----------------------------------------------------------
11  ARCHITECTURE example OF mux IS
12  BEGIN
13     PROCESS (a, b, sel)
14     BEGIN
15        IF (sel="00") THEN
16           x <= "00000000";
17        ELSIF (sel="01") THEN
19           x <= a;
20        ELSIE (sel="10") THEN
21           x <= b;
22        ELSE
23           x <= "ZZZZZZZZ";
24        END if;
25     END process;
26  END example;
27  ----------------------------------------------------------
```